

次の問1から問7までの7問については、この中から5問を選択し、答案用紙の選択欄の(選)をマークして解答してください。

なお、6問以上選択した場合には、はじめの5問について採点します。

問1 論理演算と加算器に関する次の記述を読んで、設問1～4に答えよ。

真を1、偽を0として、主要な論理演算の真理値表を、表1に示す。

表1 主要な論理演算の真理値表

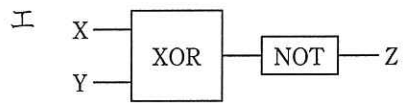
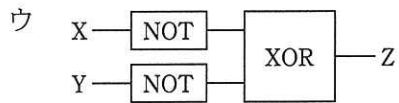
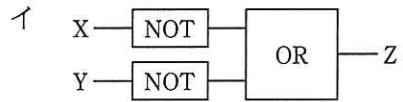
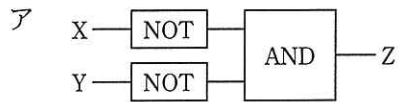
A	B	A AND B	A OR B	A XOR B	A NAND B	A NOR B
0	0	0	0	0	1	1
0	1	0	1	1	1	0
1	0	0	1	1	1	0
1	1	1	1	0	0	0

A	NOT A
0	1
1	0

設問1 AND, OR, XOR, NOT の各論理演算を行う論理回路を用いて、NAND と NOR の論理演算を行う論理回路を作成した。次の記述中の に入れる正しい答えを、解答群の中から選べ。ここで、X, Y は1ビットの入力、Z は1ビットの出力とする。

- (1) NAND の論理回路は である。
- (2) NOR の論理回路は である。

a, bに関する解答群



設問2 各1ビットの入力 X, Yを加算して, その結果を各1ビットの Zと桁上がり C
 に出力する“半加算器”の真理値表を表2に, 論理回路を図1に示す。図1中の
に入れる正しい答えを, 解答群の中から選べ。

$$\begin{array}{r}
 \\
 + \\
 \hline
 C
 \end{array}$$

表2 半加算器の真理値表

X	Y	C	Z
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

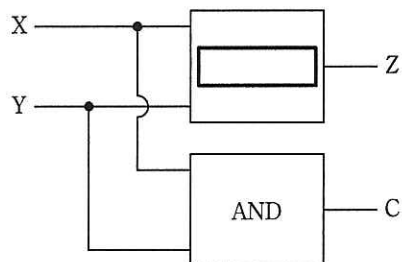


図1 半加算器の論理回路

解答群

- ア AND イ NAND ウ NOR エ OR
 オ XOR

設問3 各1ビットの入力 X, Y と, 下位桁からの1ビットの桁上がり C_{in} を加算して, その結果を各1ビットの Z と桁上がりの C に出力する“全加算器”の真理値表を表3に, 論理回路を図2に示す。図2中の に入れる正しい答えを, 解答群の中から選べ。

$$\begin{array}{r}
 X \\
 Y \\
 + \quad C_{in} \\
 \hline
 C \quad Z
 \end{array}$$

表3 全加算器の真理値表

C_{in}	X	Y	C	Z
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

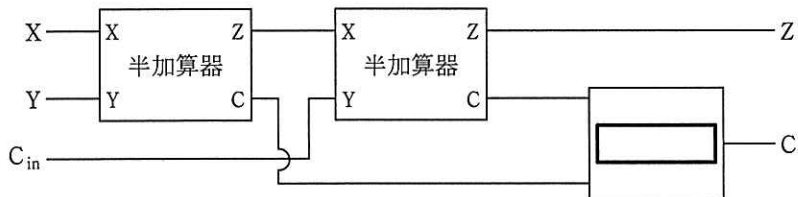


図2 全加算器の論理回路

解答群

ア AND

イ NAND

ウ NOR

エ OR

設問 4 2の補数表現による4ビットの符号付き2進整数を加算する加算器を図3に示す。加算器は、2進整数 $A_4 A_3 A_2 A_1$ と $B_4 B_3 B_2 B_1$ を加算して、結果 $S_4 S_3 S_2 S_1$ を出力する。添字は桁の位置を示しており、値が大きいほど上位の桁を表す。

$$\begin{array}{r} A_4 \quad A_3 \quad A_2 \quad A_1 \\ + \quad B_4 \quad B_3 \quad B_2 \quad B_1 \\ \hline S_4 \quad S_3 \quad S_2 \quad S_1 \end{array}$$

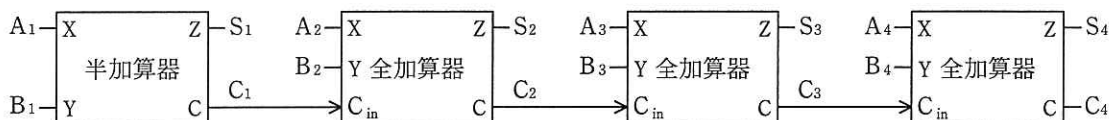
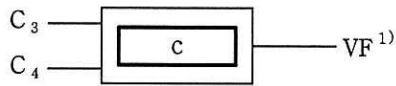


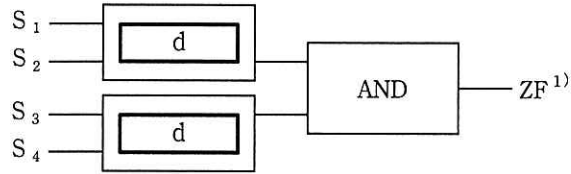
図3 加算器の論理回路

最上位ビットの加算において、 A_4 、 B_4 、 C_3 の値が表3の全加算器の真理値表のそれぞれX、Y、 C_{in} の値の β 部分の組合せになるとき、桁あふれが生じる。これを検出するための論理回路を図4に、 $S_1 \sim S_4$ が全て0となる場合を検出する論理回路を図5に示す。図4中と図5中の に入れる正しい答えを、解答群の中から選べ。



注¹⁾ 桁あふれが生じたとき VF の値は 1,
それ以外るとき VF の値は 0

図 4 桁あふれ検出の論理回路



注¹⁾ $S_1 \sim S_4$ が全て 0 のとき ZF の値は 1, それ以外
のとき ZF の値は 0

図 5 ゼロ検出の論理回路

c, d に関する解答群

ア AND

イ NAND

ウ NOR

エ OR

オ XOR